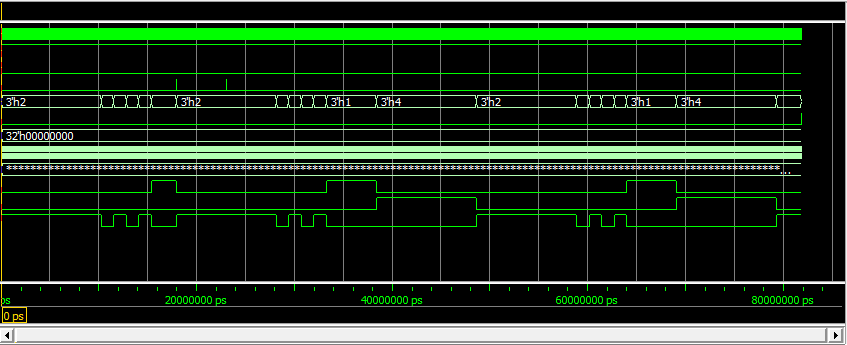
**Computer Organization 2019**

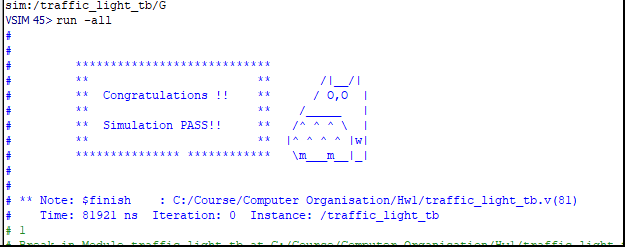
**HOMEWORK 1**

系級: 資訊係110 學號:F74067094 姓名: 鄭宇澤

**實驗結果圖:**

(波形圖及模擬完成截圖)

****

****

**程式運作流程:**

(簡單說明波形變化的意義)

在pass訊號沒有來之前，一切的反應都和作業上要求的一樣。初始狀態為綠燈，1024個cycle之後熄滅等等。

當第一個pass訊號為1時，電路在紅燈的狀態，於是便被强制轉回去初始狀態的綠燈。

儅第二個pass的訊號為1時，電路任然在初始狀態的綠燈，故沒有做出任何的改變。

之後的電路就如作業要求的一樣。在紅燈走了1024和cycle之後就會回到初始狀態的綠燈。

**心得**

因爲我設計的電路上是要posedge clk , posedge pass and rst 有任何的改變就會進入到always的并且讓count加1 。有時因爲儅pass訊號為1時，clk訊號為0，可是count任然會加1 。這問題一開始沒想到，因爲verilog無法類似其他程式設計，在debug的時候一行一行印出來看看，所以在debug這方面花了不少的時間。加上對modelsim環境的不熟悉，也爲debug添加了不少的麻煩。總體上這次的作業體會到了modelsim和verilog在沒有電路的幫助下如何debug。